

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) Japanese Patent Office (JP)

(11) Application publication number: H3[1991]-
23590

(12) Official Gazette for Unexamined
Patents (A)

(43) Application publication date : January 31,
1991

(51) Int. Cl. ⁵	Identification Nos.	Patent Office File Nos.	Number of Inventions: 4
G 11 C 11/407	354 D	8323-5B	Request for Examination:
H 01 L 27/108	325 V	8624-5F	Not filed
G 11 C 11/34			
H 01 L 27/10			

(Total 9 Japanese pages)

(54) Title of the Invention
Word Line Driving Circuit for Dynamic RAM

(72) Inventor: Kenji Tsuchida
Toshiba Corporation
1, Komukai
Toshiba-cho
Saiwai-ku, Kawasaki,
Kanagawa Prefecture

(21) Application number: H1[1989]-157,157

(71) Applicant: Toshiba Corporation
72, Horikawa-cho
Saiwai-ku, Kawasaki,
Kanagawa Prefecture

(22) Filing date: June 20, 1989

(74) Agent: Takehiko Suzue, Patent
Attorney and 3 others

(72) Inventor: Yukito Owaki
Toshiba Corporation
1, Komukai
Toshiba-cho
Saiwai-ku, Kawasaki,
Kanagawa Prefecture

Specification

1. Title of the Invention

Word Line Driving Circuit for Dynamic RAM

2. Claims

(1) A word line driving circuit for dynamic RAM is comprised of a charging circuit for charging an output terminal to a first voltage and is connected through means for stopping reverse current at an output terminal connected to a word line and a boosting circuit for boosting the voltage of the output terminal from the first voltage to a second voltage and is connected through a transfer gate to the output terminal.

(2) A word line driving circuit for dynamic RAM according to claim 1, wherein the charging circuit is a CMOS inverter that is controlled by a clock.

(3) A word line driving circuit for dynamic RAM according to claim 1, wherein the means for stopping reverse current is a pn-junction diode.

(4) A word line driving circuit for dynamic RAM according to claim 1, wherein the means for stopping reverse current is a MOS diode.

3. Detailed Description of the Invention

Object of the Invention

Field of Industrial Application

The present invention relates to a word line driving circuit for dynamic random access memory (DRAM) that has a memory cell structure of one transistor/one capacitor.

Prior Art

When a power supply voltage V_{cc} is written to a cell capacitor in a DRAM having a memory cell configuration of 1 transistor/1 capacitor, a boosting voltage of at least $V_{cc} + V_{th}$ (V_{th} is the threshold voltage of the MOS transistor) must be given to the gate of a switching MOS transistor. When the gate voltage of the MOS transistor was set to V_{cc} , because the MOS transistor turns off when the source is boosted up to $V_{cc} - V_{th}$, only up to $V_{cc} - V_{th}$ is written to a cell capacitor connected to the source.

The gate electrodes of switching MOS transistors in the DRAM are shared by a plurality of memory cells and become a word line. For example, in a 4-Mbit DRAM, 2000 MOS transistors are connected in one word line. Therefore, a word line has a large capacitance, and the time needed to boost the word line as a percentage of the DRAM access time is a large percentage of about 10%. Therefore, the design of the boosting circuit for driving a word line is an important element in achieving high-speed DRAM operation.

The configuration and operation of a conventional word line driving circuit for DRAM are explained by using Figures 18 and 19. Figure 18 shows only the minimum required circuit elements of the word line driving circuit. C is a boosting capacitor. Q1 is a MOS transistor for charging the boosting capacitor C. Q2 is a transfer gate transistor for transferring the boosting voltage to the output terminal OUT that is connected to a word line. Q3 is a MOS transistor for discharging the output terminal OUT. All of the MOS transistors Q1 to Q3 are n-channel transistors.

Figure 19 shows the operating waveforms of this driving circuit. In the word line

not selected state, clocks ϕ_{11} , ϕ_{12} , ϕ_{13} are all at the "L" level. Consequently, the MOS transistors Q2, Q3 are off. Node N of the capacitor C is charged up to $V_{cc} - V_{th}$, where V_{th} is the threshold voltage of MOS transistor Q1, by the MOS transistor Q1. Depending on the situation, the gate of MOS transistor Q1 is controlled by the boosting voltage independent of the drain, and node N2 may charge up to V_{cc} , but this is not considered here. Next, clocks ϕ_{11} , ϕ_{12} become the "H" level from the "L" level. Therefore, the voltage of node N is boosted to at least V_{cc} by the action of capacitance C and is supplied to the output terminal OUT through the transfer gate MOS transistor Q2 that was turned on by this boosted voltage. The "H" level of clock ϕ_{11} is boosted to at least V_{cc} so that the voltage boosted at node N is supplied to word line WL without being reduced by the threshold voltage of MOS transistor Q2. The voltage boosted to at least V_{cc} is given to the word line. When clocks ϕ_{11} , ϕ_{12} return to the "L" level and ϕ_{13} becomes the "H" level, the transfer gate MOS transistor Q2 turns off; MOS transistor Q3 for discharging turns on; and word line WL is discharged and becomes the "L" level.

This conventional technique has the following two problems.

First, because the word line WL has a large capacitance, the capacitance of the boosting capacitor C must be sufficiently large in order to obtain an adequate boosting voltage. Here, the required boosting voltage is $V_{cc} + \alpha$. The charge of $C(V_{cc} - V_{th})$ as described earlier is pre-charged in the boosting capacitor C. This charge is boosted by clock $\phi_{12} = V_{cc}$, passes through the transfer gate MOS transistor Q2, and is distributed to the capacitance of the word line WL that is connected to the output terminal OUT. Let the capacitance of the word line WL be C_L , then a comparison of the charge before and after the distribution becomes

$$C\alpha + C_L (V_{cc} + \alpha) = C (V_{cc} - V_{th})$$

therefore,

$$C = (V_{cc} + \alpha) C_L / (V_{cc} - \alpha - V_{th}) \quad (1)$$

For example, if $C_L = 5$ pF, $V_{cc} = 4$ V, $\alpha = 1$ V, and $V_{th} = 1$ V, then $C = 12.5$ pF. When the capacitor having this capacitance is fabricated from a MOS transistor having an 150 Å-thick gate oxide, the required area is $5500 \mu\text{m}^2$. In order to obtain a clock ϕ_{12} for driving this kind of large capacitor, the driving circuit must be large.

The second problem is the dimension of the transfer gate MOS transistor Q2 and the transfer capacity. To rapidly transfer the charge $C_L (V_{cc} + \alpha)$, the gate width of this MOS transistor Q2 must be extremely large. Moreover, when the MOS transistor Q2 is n-channel, because voltage V_{GS} between the gate and source becomes smaller as the output increases and the threshold voltage increases due to the application of the back gate bias, the boosted waveform of the output voltage is lessened even if the gate width was increased. Furthermore, since the gate of MOS transistor Q2 must be boosted to at least $V_{cc} + \alpha + V_{th}$, the capacitor of the boosting circuit also increases in size to the extent that the gate width increases.

Problems to Be Solved by the Invention

The driving circuit that gives the boosting voltage to the word lines of a conventional DRAM requires an extremely large area for the boosting capacitors in order to achieve high-speed access. The transfer gate MOS transistor must have a larger gate width and maintain a large charge transfer capacity. The problem is although the gate width increased, the output boosting waveform was lessened by the back gate bias.

An object of the present invention is to provide a word line driving circuit for DRAM that reduces the area of the boosting capacitor and enables high-speed access.

A further object of the present invention is to provide a word line driving circuit for DRAM that reduces the gate width of the transfer gate MOS transistor or reduces the area of the boosting capacitor of the gate, and enables high-speed access.

Structure of the Invention

Means to Solve the Problems

The word line driving circuit for DRAM related to the present invention is comprised of a boosting circuit that is connected through the transfer gate to the output terminal connected to the word line and a separate charging circuit that is connected to the output terminal through means for stopping reverse current. For example, the charging circuit is controlled by the clock and pre-charges the output terminal to the power supply voltage or a lower first voltage. Then the boosting circuit is operated and the output terminal is boosted from the first voltage to a second voltage.

Operation

The word line driving circuit of the present invention boosts the voltage of the output terminal connected to the word line to the desired voltage in two steps. Consequently, compared to the conventional technique that boosts the output terminal to the desired voltage from 0 V in one step, the capacitor of the boosting circuit can be small. Since means for stopping reverse current is provided at the output of the charging circuit, the charge does not flow into the charging circuit when the boosting circuit

operates and the voltage of the output terminal is boosted up to the second voltage. High-speed access becomes possible by pre-charging the word line to the first voltage by the charging circuit. The boosting circuit can boost from the first voltage to the second voltage as described above. The gate width of the transfer gate for transferring the charge of the boosting capacitor does not have to be exceptionally large.

Embodiments

Embodiments of the present invention are explained below.

Figure 1 is a schematic of the important elements of the word line driving circuit of one embodiment. The boosting circuit 1 is comprised of an n-channel MOS transistor Q1 that connects the drain and gate to the power supply voltage V_{cc} and a boosting capacitor C that has one end connected to the source of the MOS transistor Q1 and the other end inputs the clock ϕ_3 for voltage boosting. The output node N2 of the boosting circuit 1 is connected to the output terminal OUT that is connected to the word line WL through the n-channel MOS transistor Q2 acting as the transfer gate. An n-channel MOS transistor Q3 for discharging is provided at the output terminal OUT. Separate from the boosting circuit described above, a charging circuit 2 is provided at the output terminal OUT. In this embodiment, the charging circuit 2 is a CMOS inverter that is comprised of a p-channel MOS transistor Q4 and an n-channel MOS transistor Q5 and is controlled by clock ϕ_1 . The output node N1 is connected to the output terminal OUT through a pn-junction diode D for stopping reverse current.

The operation of the word line driving circuit fabricated in this manner is explained with reference to Figure 2. Clock ϕ_1 has an "H" level ($= V_{cc}$). Clocks ϕ_2 and

$\phi 3$ have "L" levels ($= 0$ V). First, clock $\phi 1$ becomes the "L" level from the "H" level. Therefore, the output node N1 of the CMOS inverter, which is the charging circuit 2, becomes the "H" level, and the output terminal OUT is boosted to a first voltage V1. If the voltage of the pn-junction diode D drops to Vb, the first voltage is $V1 = V_{cc} - V_b$. Generally, since the forward current of the diode flows as an exponential function of the voltage, the current is not limited by the pn-junction diode D. Therefore, if the gate width of the p-channel MOS transistor Q4 comprising the CMOS inverter is large, the output terminal OUT rapidly rises. When the word line WL charges up to $V_{cc} - V_b$, since the bit line of an ordinary DRAM is pre-charged to $(1/2) V_{cc}$, the transfer gates MOS transistors of all of the memory cells connected to the selected word line turn on. Therefore, the read operation is possible in the stage that is charged to the first voltage.

Restoring data "1" ($= V_{cc}$) to a memory cell boosts the word line to at least V_{cc} . This operation makes clock $\phi 2$ active and turns on the transfer gate MOS transistor Q2, and then makes clock $\phi 3$ active and drives the capacitor C. In this embodiment, since the n channel is used in the transfer gate MOS transistor Q2, the boosting voltage is used in clock $\phi 2$. From the action of boosting circuit 1, the output terminal OUT that is pre-charged to the first voltage V1 is boosted up to the second voltage $V2 (= V_{cc} + \alpha)$.

When the word line is discharged after the restore, clock $\phi 1$ is set to the "H" level from the "L" level and the output node N1 of the CMOS inverter is set to the "L" level. Next, clock $\phi 4$ is set to the "H" level, and MOS transistor Q3 for discharging turns on. In this embodiment, the transfer gate MOS transistor Q2 is kept off, and unnecessary discharging from node N2 is prevented.

In this embodiment, since the desired boosting voltage, that is the second voltage

V2, is the same as the conventional voltage, the capacitance needed in the boosting capacitor C corresponding to equation (1) in the conventional example considers the first voltage $V1 = V_{cc} - V_b$ that is pre-charged and becomes

$$C = (\alpha + V_b) C_L / (V_{cc} - \alpha - V_{th}) \quad (2)$$

In other words, compared to the conventional technique, the capacitance of the boosting capacitor can be sufficiently small. The read-out action of a memory cell guarantees high-speed access because the action can be performed in the state where fully charged to the first voltage. The transfer gate MOS transistor Q2 can transfer little charge compared to the conventional case and have only the necessary small area.

Next, several other embodiments of the present invention are explained. In the embodiments described below, detailed descriptions of corresponding parts in Figure 1 are omitted for parts having the same reference numbers as in Figure 1.

Figure 3 shows an embodiment in which the transfer gate MOS transistor Q2 is p channel, which is the opposite of Figure 1.

The operating waveforms of the word line driving circuit of this embodiment correspond to Figure 2 and are shown in Figure 4. Clock $\phi 2$ has the reverse polarity of the previous embodiment. Since clock $\phi 2$ is set to 0 V and the voltage of node N2 can be transferred to output terminal OUT without a voltage drop at the p-channel MOS transistor Q2, a boosting voltage is not required at clock $\phi 2$ in this embodiment.

This embodiment obtains an effect similar to the previous embodiment.

Figure 5 shows an embodiment that uses an n-channel MOS diode MD having the common connection of the p-type well, gate, and drain as the diode provided at the output node N1 of the charging circuit 2 in the embodiment in Figure 3. In this case, the

charging current flows through the MOS transistor channel and simultaneously flows through the pn junction between the p-type well and the source. This is not a problem if the n-type substrate (or n-type well) in which a p-type well is formed is biased to at least V_{cc} . Similar modifications are possible for the embodiment in Figure 1.

Figure 6 shows an embodiment in which the transfer gate MOS transistor Q2 in the embodiment in Figure 5 is n channel and the gate and p-type well are connected together. In this embodiment, when the clock ϕ becomes the "H" level, the MOS transistor Q2 turns on and the charge from node N2 is transferred to the output terminal OUT, and simultaneously the "H" level is applied to the p-type well.

Thus, according to this embodiment, the threshold increase and current decrease caused by the back gate bias of the transfer gate MOS transistor Q2 are suppressed, and the charge is transferred at high speed from the boosting circuit.

In this embodiment, the p-type well of the MOS transistor Q2 must be exclusively used by the MOS transistor Q2. Since an "H" level is applied to the p-type well of the transfer gate MOS transistor Q2, a high voltage at least equivalent to the "H" level must be applied to the n-type substrate (or n-type well) surrounding this p-type well.

Therefore, the effects on other circuits could be prevented by giving an "H" level to the p-type well. If the above condition is satisfied, a forward bias develops between the p-type well and the source, and direct charging of the output terminal OUT by clock ϕ_2 is not impeded. The preferred high-speed charging is enabled.

Figure 7 illustrates in further detail the clock ϕ_2 based on the embodiment in Figure 3. A part comprised of p-channel MOS transistors Q6, Q7, n-channel MOS transistors Q8, Q9, and an inverter INV comprises a decoder buffer. In other words, in

practice, a boosting circuit 1 is not only provided for each word line, but is provided for a plurality of word lines. By inputting an address signal as clock $\phi 2$, the boosting voltage is given only to the word line of the selected address.

Figures 8 to 16 show specific configurations of the pn-junction diode D that is provided at the output node N1 of the charging circuit 2. In Figures 8 to 10, a p-type substrate 11 is used and an n-type well 12 is formed therein. Then a p^+ -type layer 13 that becomes the anode and an n^+ -type layer 14 that becomes the cathode are formed in the n-type well 12. In Figures 11 to 13, a p^+ -type layer 23 and an n^+ -type layer 24 are formed in a p-type well 22 formed in an n-type substrate 21. In Figures 14 to 16, an n-type substrate 31 is used and a p-type well 32 is formed therein, then an n-type well 33 is formed therein. A p^+ -type layer 34 and an n^+ -type layer 35 are formed in the n-type well 33. Unmodified CMOS and DRAM fabrication processes can easily fabricate the pn-junction diode D.

Figure 17 shows a configuration of the MOS diode MD explained in the embodiment in Figure 5. A p-type well 42 is formed in an n-type well 41. A gate electrode 43, and source and drain diffusion layers 44, 45 are formed in the p-type well 42 to fabricate an n-channel MOS transistor. Furthermore, a p^+ -type layer 46 and a drain diffusion layer 44 formed in the p-type well 42 and a gate electrode 43 are connected. If a p-type substrate is the starting substrate, an n-type well is formed and a p-type well is formed therein as in the figure, and an n-channel MOS diode can be fabricated.

The present invention can embody various forms. For example, a CMOS inverter is used as the charging circuit, and a driving circuit using bipolar transistors or a driving circuit using n-channel MOS transistors can be used.

Effects of the Invention

According to the present invention as described above, the capacitance of the boosting capacitor can be decreased without damaging the high-speed access performance. Furthermore, the present invention can provide a word line driving circuit for DRAM that can reduce the gate width of the transfer gate MOS transistor.

4. Brief Description of the Drawings

Figure 1 is a schematic of the important elements of the word line driving circuit related to one embodiment of the present invention.

Figure 2 is a graph of the signal waveforms for explaining the operation of Figure 1.

Figure 3 is a schematic of the important elements of the word line driving circuit of another embodiment.

Figure 4 is a graph of the signal waveforms for explaining the operation of Figure 3.

Figure 5 is a schematic of the important elements of the word line driving circuit of another embodiment.

Figure 6 is a schematic of the important elements of the word line driving circuit of another embodiment.

Figure 7 is a detailed drawing of the configuration of the transfer gate driver in Figure 3.

Figures 8 to 16 show examples of the pn-junction diode used in each of the above

embodiments.

Figure 17 is a schematic of a similar MOS diode.

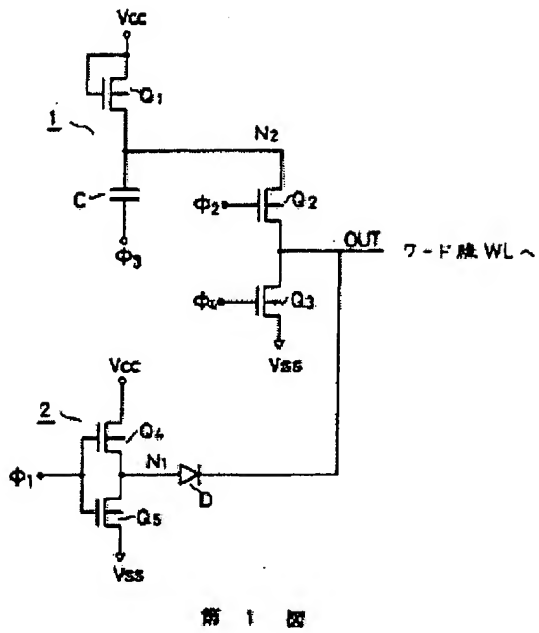
Figure 18 show the important elements of a conventional word line driving circuit.

Figure 19 is a graph of the signal waveforms for explaining the operation of Figure 18:

- 1 boosting circuit
- Q1 n-channel MOS transistor
- C boosting capacitor
- 2 charging circuit
- Q2 transfer gate MOS transistor
- Q3 MOS transistor for discharging
- Q4 p-channel MOS transistor
- Q5 n-channel MOS transistor
- D pn-junction diode
- MD MOS diode

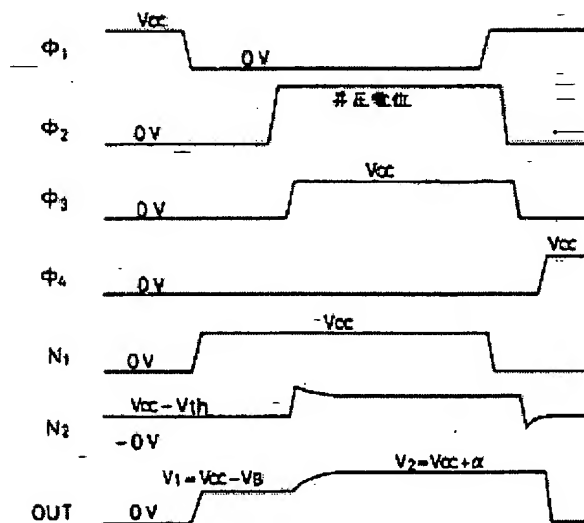
Agent of the Applicant: Takehiko Suzue, Patent Attorney

Figure 1



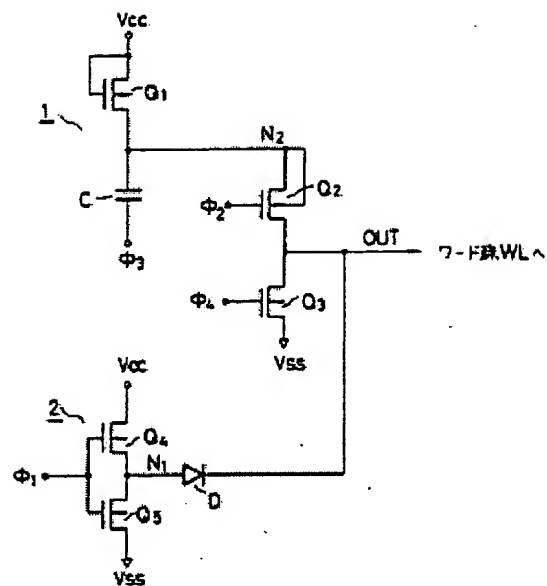
right: to word line WL

Figure 2



In figure: boosting voltage

Figure 3



right: to word line WL

Figure 4

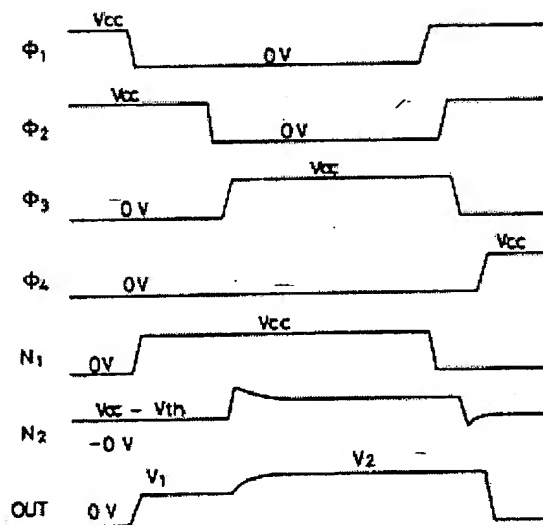
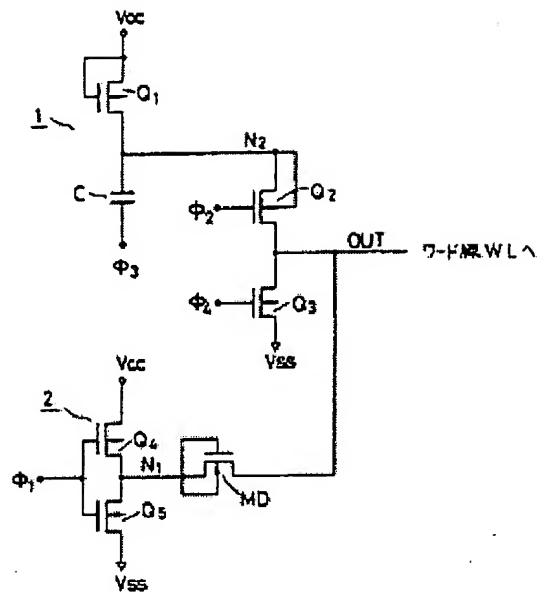
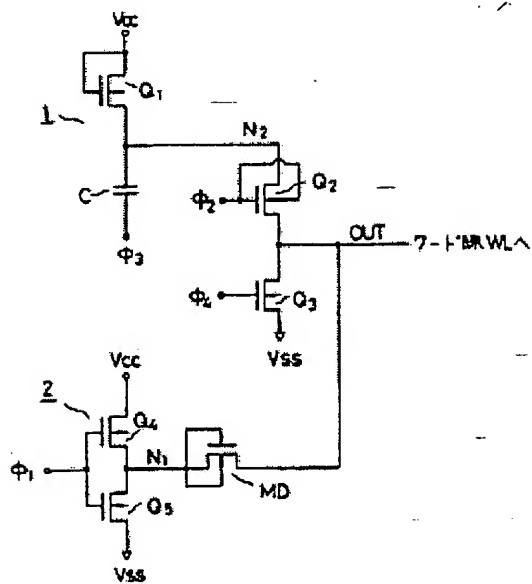


Figure 5



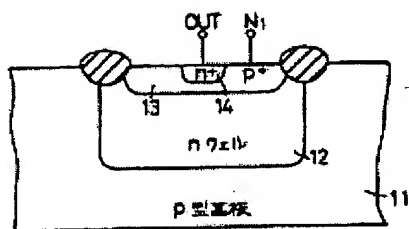
right: to word line WL

Figure 6



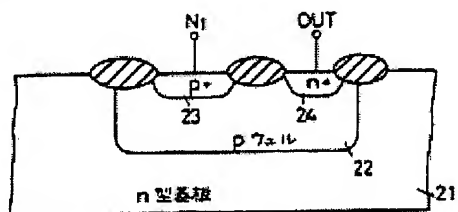
right: to word line WL

Figure 10



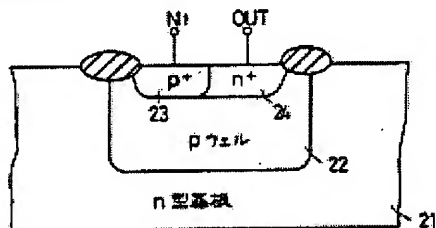
Top: n-type well
Bottom: p-type substrate

Figure 11



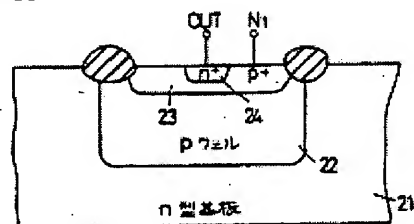
top: p-type well
bottom: n-type substrate

Figure 12



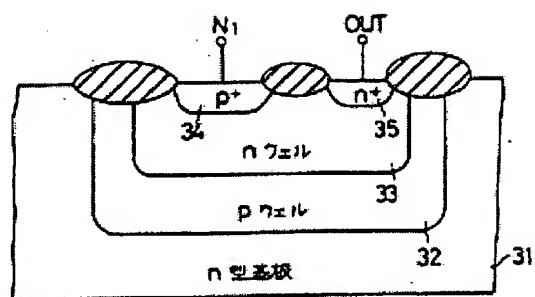
top: p-type well
bottom: n-type substrate

Figure 13



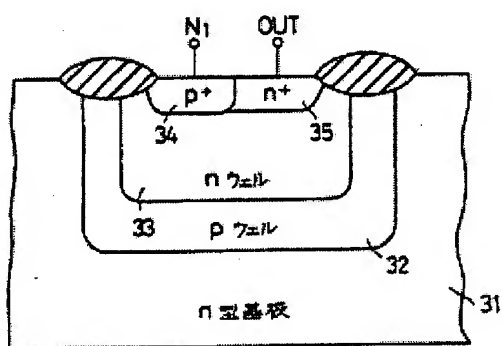
Top: p-type well
Bottom: n-type substrate

Figure 14



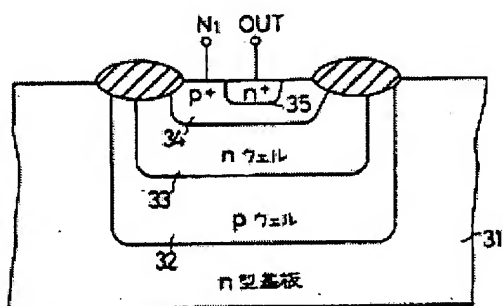
In figure, top to bottom:
n-type well
p-type well
n-type substrate

Figure 15



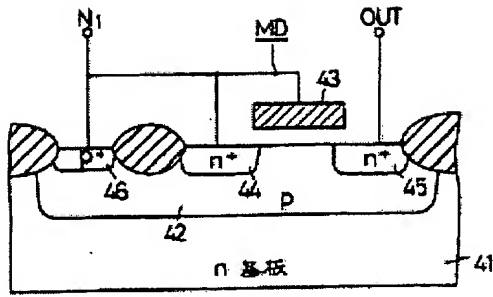
In figure, top to bottom:
n-type well
p-type well
n-type substrate

Figure 16



In figure, top to bottom:
n-type well
p-type well
n-type substrate

Figure 17



In figure: n-type substrate

Figure 18

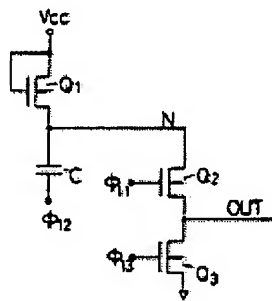
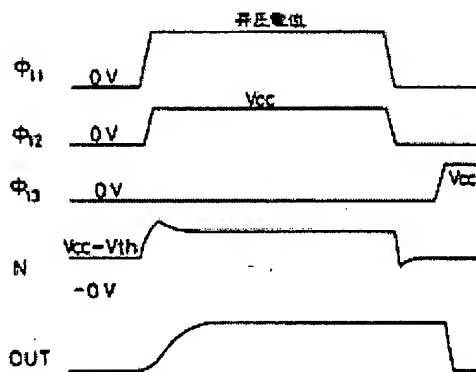


Figure 19



boosting voltage

⑫ 公開特許公報(A) 平3-23590

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)1月31日

G 11 C 11/407
H 01 L 27/1088323-5B G 11 C 11/34 3 5 4 D
8624-5F H 01 L 27/10 3 2 5 V
審査請求 未請求 請求項の数 4 (全9頁)

⑭ 発明の名称 ダイナミックRAMのワード線駆動回路

⑯ 特 願 平1-157157

⑰ 出 願 平1(1989)6月20日

⑱ 発 明 者 大 脇 幸 人 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内⑲ 発 明 者 土 田 賢 二 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

ダイナミックRAMのワード線駆動回路

2. 特許請求の範囲

(1) ワード線につながる出力端子に逆流阻止手段を介して接続された、出力端子を第1の電位に充電するための充電回路と、前記出力端子に転送ゲートを介して接続された、出力端子を前記第1の電位から第2の電位に昇圧する昇圧回路とを有することを特徴とするダイナミックRAMのワード線駆動回路。

(2) 前記充電回路は、クロックにより制御されるCMOSインバータである請求項1記載のダイナミックRAMのワード線駆動回路。

(3) 前記逆流阻止手段はpn接合ダイオードである請求項1記載のダイナミックRAMのワード線駆動回路。

(4) 前記逆流阻止手段はMOSダイオードである請求項1記載のダイナミックRAMのワード線駆動回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、1トランジスタ/1キャパシタのメモリセル構造を持つダイナミックRAM(DRAM)のワード線駆動回路に関する。

(従来の技術)

1トランジスタ/1キャパシタのメモリセル構造を持つDRAMにおいて、セルキャパシタに電源電位 V_{cc} を書き込む場合、スイッチングMOSトランジスタのゲートには $V_{cc} + V_{th}$ (V_{th} はMOSトランジスタのしきい値電圧)以上の昇圧電位を与える必要がある。MOSトランジスタのゲート電位を V_{cc} とした場合、ソースが $V_{cc} - V_{th}$ まで上昇するとこのMOSトランジスタはオフになるため、ソースに接続されるセルキャパシタには $V_{cc} - V_{th}$ までしか蓄えられないからである。

DRAMにおいてこのスイッチングMOSトランジスタのゲート電極は、多数のメモリセルにつ

いて共用されてワード線となる。例えば4MビットDRAMでは、2000個のMOSトランジスタが一本のワード線につながることになる。このためワード線は大きい容量を持ち、DRAMのアクセス時間のうちこのワード線を昇圧するに要する時間がおよそ1割という大きい割合を占める。従ってワード線を駆動する昇圧回路の設計は、DRAMの高速動作を実現する上で重要な意味を持っている。

従来のDRAMのワード線駆動回路の構成と動作を、第18図および第19図を用いて説明する。第18図は、ワード線駆動回路のうち必要最小限の回路要素のみを示している。Cは昇圧用キャパシタ、Q1は昇圧用キャパシタCを充電するためのMOSトランジスタ、Q2は昇圧電位をワード線につながる出力端子OUTに転送するための転送ゲート・トランジスタ、Q3は出力端子OUTの放電用MOSトランジスタである。ここでMOSトランジスタQ1～Q3は全てnチャネルを用いている。

えられることになる。クロックφ11、φ12を“L”レベルに戻し、クロックφ13を“H”レベルとすることにより、転送ゲート用MOSトランジスタQ2がオフ、放電用MOSトランジスタQ3がオンとなり、ワード線WLは放電されて“L”レベルになる。

この従来技術での問題は、次の二点である。

第1は、ワード線WLの容量が大きいため、十分な昇圧電位を得るためには昇圧用キャパシタCの容量も十分に大きいものとしなければならないことである。いま必要な昇圧電位を $V_{cc} + \alpha$ とする。昇圧用キャパシタCには前述のようにC_L($V_{cc} - V_{th}$)なる電荷が予め充電され、その電荷がクロックφ12 = V_{cc} により押し上げられて転送ゲートMOSトランジスタQ2を介して出力端子OUTに接続されるワード線WLの容量に分配されるから、ワード線WLの容量をC_Lとし、分配前後の電荷を比較すると、

$C\alpha + C_L(V_{cc} + \alpha) = C(V_{cc} - V_{th})$
従って、

第19図はこの駆動回路の動作波形である。ワード線非選択の状態ではクロックφ11、φ12、φ13は全て“L”レベルである。従ってMOSトランジスタQ2、Q3はオフであり、キャパシタCのノードNはMOSトランジスタQ1により $V_{cc} - V_{th}$ (V_{th} はMOSトランジスタQ1のしきい値電圧)まで充電されている。なお場合によっては、MOSトランジスタQ1のゲートをドレインとは独立に昇圧電位で制御して、ノードN2を V_{cc} まで充電することもあるが、今はこれを考えない。次にクロックφ11、φ12が“L”レベルから“H”レベルになる。これにより、容量Cの働きでノードNの電位は V_{cc} 以上まで昇圧され、これがオンした転送ゲートMOSトランジスタQ2介して出力端子OUTに供給される。このとき、ノードNの昇圧された電位がMOSトランジスタQ2のしきい値電圧による降下を受けずにワード線WLに供給されるように、クロックφ11の“H”レベルは、 V_{cc} 以上に昇圧されたものとする。こうして V_{cc} 以上に昇圧された電位がワード線に与

$$C = (V_{cc} + \alpha) C_L / (V_{cc} - \alpha - V_{th}) \quad \dots (1)$$

となる。例えば、 $C_L = 5 \text{ pF}$ 、 $V_{cc} = 4 \text{ V}$ 、 $\alpha = 1 \text{ V}$ 、 $V_{th} = 1 \text{ V}$ とすると、 $C = 12.5 \text{ pF}$ となる。この容量のキャパシタをゲート酸化膜厚150ÅのMOSキャパシタで構成した場合、面積は、 $5500 \mu\text{m}^2$ を必要とする。そしてこの様な大きいキャパシタを駆動するクロックφ12を得るためには、その駆動回路も大きいものとしなければならない。

第2は、転送ゲート用MOSトランジスタQ2の寸法および転送能力の問題である。C_L($V_{cc} + \alpha$)という電荷を高速に転送するためには、このMOSトランジスタQ2のゲート幅は非常に大きいものであることが必要になる。しかもMOSトランジスタQ2がnチャネルの場合、出力が上昇するに従ってそのゲート・ソース間電圧 V_{gs} は小さくなり、またバックゲートバイアスがかかることによってそのしきい値電圧が上昇することから、ゲート幅を大きくとったとしても、出力電位

の上昇波形はなまってしまう。更に、この MOS トランジスタ Q2 のゲートを $V_{cc} + \alpha + V_{th}$ 以上まで昇圧しなければならないため、ゲート幅を大きくするとそれだけ昇圧回路のキャパシタも大きくなってしまふ。

(発明が解決しようとする課題)

以上のように従来の DRAM のワード線に昇圧電位を与える駆動回路は、高速アクセスを実現するためには、昇圧用キャパシタに非常に大きい面積を必要とし、転送ゲート MOS トランジスタはゲート幅を大きくして大きい電荷転送能力を持たせることが必要となり、ゲート幅を大きくしたとしてもバックゲートバイアスによって出力上昇波形は鈍ってしまう、という問題があった。

本発明は、昇圧用キャパシタの面積を小さくしてしかも高速アクセスを可能とした DRAM のワード線駆動回路を提供することを目的とする。

本発明はまた、転送ゲート用 MOS トランジスタのゲート幅を小さくし、或いはそのゲートの昇圧用キャパシタの面積を小さくしてしかも高速ア

クセスを可能とした DRAM のワード線駆動回路を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明に係る DRAM のワード線駆動回路は、ワード線に接続される出力端子に対して、転送ゲートを介して接続される昇圧回路とは別に、逆流阻止手段を介して充電回路が接続されていることを特徴とする。充電回路は例えば、クロックにより制御されて出力端子を電源電位またはこれより低い第 1 の電位にあらかじめ充電するものであり、その後昇圧回路を働かせて出力端子を第 1 の電位から第 2 の電位に昇圧する。

(作用)

本発明のワード線駆動回路においては、ワード線に繋がる出力端子を 2 ステップで希望する電位に昇圧する。従って出力端子を 0 V から一気に希望する電位に昇圧する従来の方式に比べて、昇圧回路のキャパシタを小さいものとすることができる。充電回路の出力部には逆流阻止手段が設け

られているため、昇圧回路が働いて出力端子が第 2 の電位まで昇圧する際に充電回路側に電荷が流れ込むことはない。そして充電回路によってワード線を予め第 1 の電位に充電することにより、高速のアクセスが可能である。昇圧回路は上述のように第 1 の電位から第 2 の電位まで昇圧すればよいので、昇圧用キャパシタの電荷を転送する転送ゲートのゲート幅も、格別大きいものを必要としない。

(実施例)

以下、本発明の実施例を説明する。

第 1 図は、一実施例のワード線駆動回路の要部構成である。昇圧回路 1 は、ドレイン・ゲートが電源電位 V_{cc} に接続された n チャネル MOS トランジスタ Q1 と、一端がこの MOS トランジスタ Q1 のソースに接続され、他端に昇圧用のクロック $\phi 3$ が入る昇圧用キャパシタ C とにより構成されている。昇圧回路 1 の出力ノード N2 は、転送ゲートとしての n チャネル MOS トランジスタ Q2 を介してワード線 WL につながる出力端子

OUT に接続されている。出力端子 OUT には放電用の n チャネル MOS トランジスタ Q3 が設けられている。以上の昇圧回路部とは別に、出力端子 OUT には充電回路 2 が設けられている。充電回路 2 はこの実施例では、p チャネル MOS トランジスタ Q4 と n チャネル MOS トランジスタ Q5 を用いて構成されてクロック $\phi 1$ により制御される CMOS インバータであり、その出力ノード N1 は逆流阻止用の p n 接合ダイオード D を介して出力端子 OUT に接続されている。

このように構成されたワード線駆動回路の動作を、第 2 図を用いて説明する。当初、クロック $\phi 1$ は "H" レベル ($= V_{cc}$)、クロック $\phi 2$ 、 $\phi 3$ は "L" レベル ($= 0 V$) である。まず、クロック $\phi 1$ が "H" レベルから "L" レベルになり、これにより充電回路 2 である CMOS インバータの出力ノード N1 が "H" レベルになって、出力端子 OUT は第 1 の電位 V_1 に充電される。p n 接合ダイオード D の電位降下を V_b とすれば、第 1 の電位は $V_1 = V_{cc} - V_b$ である。一般にグ

イオードの順方向電流は電圧に対して指数関数で流れるから、 $p-n$ 接合ダイオード D 部で電流が制限されることはない。従って CMOS インバータを構成する p チャネル MOS トランジスタ Q_4 のゲート幅を大きいものとすれば、出力端子 O U T は急速に立上がる。こうしてワード線 W L が $V_{cc} - V_b$ まで充電されると、通常 D R A M のビット線は $(1/2) V_{cc}$ にプリチャージされているため、選択されたワード線につながる全てのメモリセルのトランスファゲート用 MOS トランジスタはオンする。このため、この第 1 の電位に充電された段階で読出し動作を行うことができる。

メモリセルへの "1" データ ($= V_{cc}$) のリストアは、ワード線を V_{cc} 以上に昇圧して行う。この動作は、クロック ϕ_2 をアクティブにして転送ゲート用 MOS トランジスタ Q_2 をオンにし、次いでクロック ϕ_3 をアクティブにしてキャパシタ C をドライブすることにより行われる。この実施例では、転送ゲート用 MOS トランジスタ Q_2 に n チャネルを用いているため、クロック ϕ_2 には

の容量を十分小さいものとすることができる。メモリセルの読出し動作は、第 1 の電位に充電した状態で行うことができるから、アクセスの高速性は保証される。また、転送ゲート用 MOS トランジスタ Q_2 は、従来に比べて少ない電荷を転送すればよいので、それだけ面積の小さいものとする事が可能である。

次に本発明の他の実施例を幾つか説明する。以下の実施例では、第 1 図と対応する部分には、第 1 図と同一符号を付して詳細な説明は省略する。

第 3 図は、転送ゲート用 MOS トランジスタ Q_2 を第 1 図と逆の p チャネルとした実施例である。

この実施例のワード線駆動回路の動作波形を第 2 図に対応させて第 4 図に示す。クロック ϕ_2 は先の実施例と逆極性になる。クロック ϕ_2 を $0V$ として、 p チャネル MOS トランジスタ Q_2 での電圧降下なしにノード N 2 の電位を出力端子 O U T に伝達することができるから、この実施例ではクロック ϕ_2 に昇圧電位を必要としない。

昇圧電位を用いている。こうして昇圧回路 1 の動きにより、予め第 1 の電位 V_1 に充電されていた出力端子 O U T は、第 2 の電位 $V_2 (= V_{cc} + \alpha)$ まで昇圧される。

リストア後、ワード線を放電する際には、クロック ϕ_1 を "L" レベルから "H" レベルにして CMOS インバータの出力ノード N 1 を "L" レベルにし、次にクロック ϕ_4 を "H" レベルにして放電用 MOS トランジスタ Q_3 をオンにする。このときこの実施例では、転送ゲート用 MOS トランジスタ Q_2 をオフに保って、ノード N 2 からの無用な電荷流出を防止している。

この実施例の場合、希望する昇圧電位即ち第 2 の電位 V_2 を従来と同じにするためには、従来例での (1) 式に対して昇圧用キャパシタ C に必要な容量は、予め充電される第 1 の電位 $V_1 = V_{cc} - V_b$ を考慮して、

$$C = (\alpha + V_b) C_1 / (V_{cc} - \alpha - V_{th}) \quad \dots (2)$$

となる。即ち従来技術に比べて昇圧用キャパシタ

この実施例によっても、先の実施例と同様の効果が得られる。

第 5 図は、第 3 図の実施例において、充電回路 2 の出力ノード N 1 に設けるダイオードとして p 型ウェル、ゲートおよびドレインを共通接続した n チャネルの MOS ダイオード M D を用いた実施例である。この場合、充電電流は、MOS トランジスタのチャネルを通して流れると同時に、 p 型ウェルとソース間の $p-n$ 接合を通して流れる。このことは、 p 型ウェルが形成された n 型基板（または n 型ウェル）が V_{cc} 以上にバイアスされていれば、問題ない。同様の変形は第 1 図の実施例に対しても行うことができる。

第 6 図は、第 5 図の実施例における転送ゲート用 MOS トランジスタ Q_2 の部分を、 n チャネルとし、かつゲートと p 型ウェルを共通接続した実施例である。この実施例の場合、クロック ϕ を "H" レベルにすると、MOS トランジスタ Q_2 がオンしてノード N 2 から電荷が出力端子 O U T に転送されると同時に、 p 型ウェルに "H" レベ

ルが印加される。

したがってこの実施例によれば、転送ゲート用MOSトランジスタQ2のバックゲートバイアスによるしきい値上昇や電流減少が抑制され、昇圧回路からの高速の電荷転送が行われる。

なおこの実施例の場合、MOSトランジスタQ2のp型ウェルをこのMOSトランジスタQ2の専用とすることが必要である。また転送ゲート用MOSトランジスタQ2のp型ウェルには“H”レベルが印加されるので、このp型ウェルを取り囲むn型基板（またはn型ウェル）には、その“H”レベルと同等以上の高い電圧を印加しておくことが必要である。これにより、p型ウェルに“H”レベルを与えることによる他の回路への影響を防止することができる。そして以上の条件を満たせば、p型ウェルとソース間が順バイアスになってクロックφ2により出力端子OUTに直接充電が行われることは差支えなく、むしろ高速充電が可能になって好ましい。

第7図は、第3図の実施例を基本としてそのク

ェル32を形成し、更にこの中にn型ウェル33を形成して、このn型ウェル33内にp⁺型層34およびn⁺型層35を形成している。いずれもCMOS・DRAMの製造プロセスを変更することなく、pn接合ダイオードDを容易に構成することができる。

第17図は、第5図の実施例で説明したMOSダイオードMDの構成例である。n型基板41にp型ウェル42を形成し、このp型ウェル42にゲート電極43、ソース、ドレイン拡散層44、45を形成してnチャネルMOSトランジスタを構成し、更にp型ウェル42に形成したp⁺型層46、ドレイン拡散層44およびゲート電極43を共通接続している。p型基板を出発基板とする場合には、n型ウェルを形成し、その中に図のようなp型ウェルを形成してnチャネルMOSダイオードを構成すればよい。

本発明はその他種々変形して実施することができる。例えば、充電回路としてCMOSインバータを用いたが、バイポーラを用いたドライバ回路

ロックφ2の部分をより詳細に示したものである。pチャネルMOSトランジスタQ6、Q7、nチャネルMOSトランジスタQ8、Q9およびインバータINVからなる部分は、デコードバッファを構成している。即ち実際には昇圧回路1はワード線一本ずつ設けられているわけではなく、複数のワード線に一つ設けられる。そしてクロックφ2としてアドレス信号を入力することにより、選択されたアドレスのワード線にのみ昇圧電位が与えられる。

第8図～第16図は、充電回路2の出力ノードN1に設けられるpn接合ダイオードDの具体的な構成例である。第8図～第10図では、p型基板11を用いてこれにn型ウェル12を形成し、このn型ウェル12内にアノードとなるp⁺型層13、カソードとなるn⁺型層14を形成している。第11図～第13図では、n型基板21に形成されたp型ウェル22内に、p⁺型層23およびn⁺型層24を形成している。第14図～第16図では、n型基板31を用いてこれにp型ウ

ェル32を形成し、更にこの中にn型ウェル33を形成して、このn型ウェル33内にp⁺型層34およびn⁺型層35を形成している。いずれもCMOS・DRAMの製造プロセスを変更することなく、pn接合ダイオードDを容易に構成することができる。

【発明の効果】

以上述べたように本発明によれば、高速アクセス性能を損なうことなく、昇圧用キャパシタの容量を小さくすることができ、また転送ゲート用MOSトランジスタのゲート幅を小さくすることができるDRAMのワード線駆動回路を提供することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例に係るワード線駆動回路の要部構成を示す図、

第2図はその動作を説明するための信号波形を示す図、

第3図は他の実施例のワード線駆動回路の要部構成を示す図、

第4図はその動作を説明するための信号波形を示す図、

第5図は更に他の実施例のワード線駆動回路の要部構成を示す図、

第6図は更に他の実施例のワード線駆動回路の要部構成を示す図、

第7図は第3図の転送ゲート駆動部の構成を詳細に示す図、

第8図～第16図は上記各実施例に用いるpn接合ダイオードの構成例を示す図、

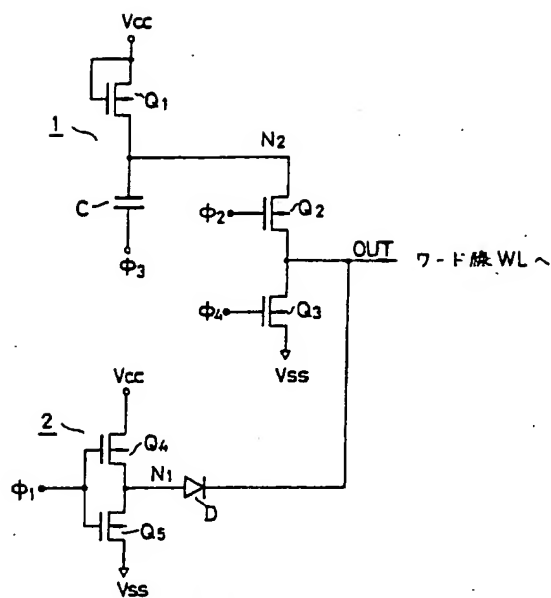
第17図は同じくMOSダイオードの構成例を示す図、

第18図は従来のワード線駆動回路の要部構成を示す図、

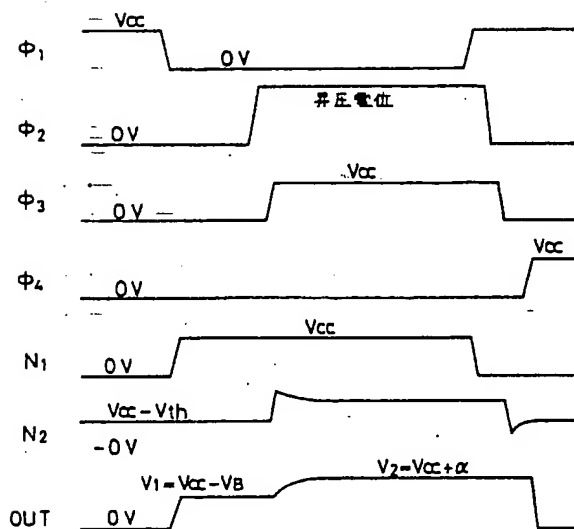
第19図はその動作を説明するための信号波形図である。

1…昇圧回路、Q1…nチャンネルMOSトランジスタ、C…昇圧用キャパシタ、2…充電回路、Q2…転送ゲート用MOSトランジスタ、Q3…放電用MOSトランジスタ、Q4…pチャンネルMOSトランジスタ、Q5…nチャンネルMOSトランジスタ、D…pn接合ダイオード、MD…MOSダイオード。

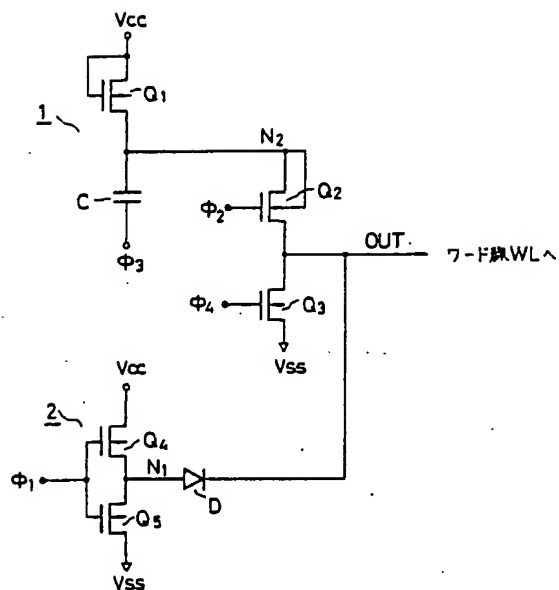
出願人代理人 弁理士 鈴江武彦



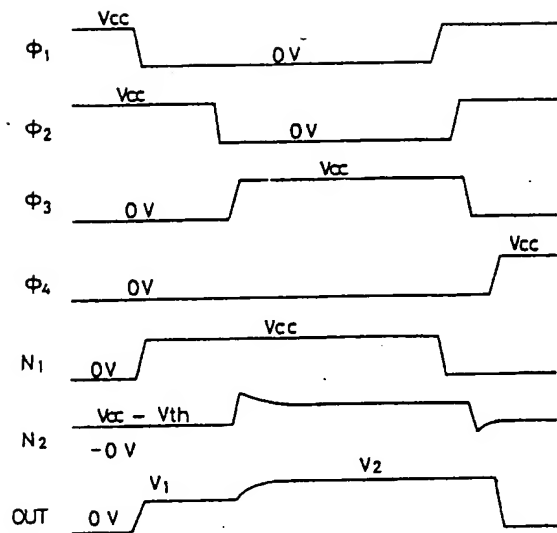
第1図



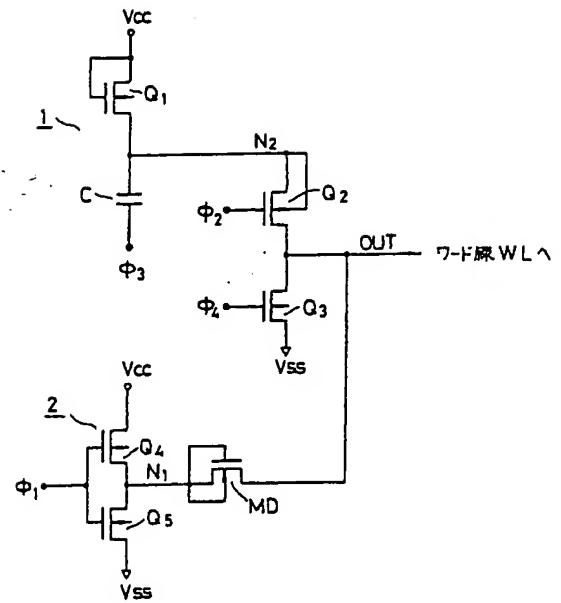
第2図



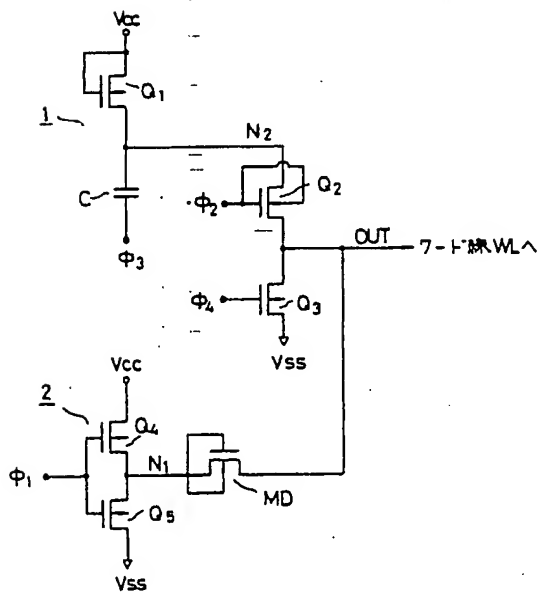
第3図



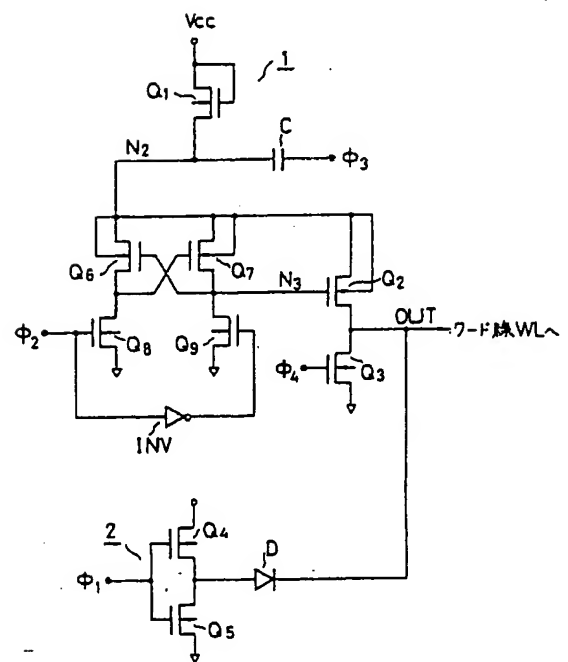
第 4 圖



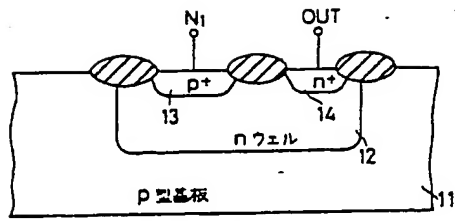
第 5 圖



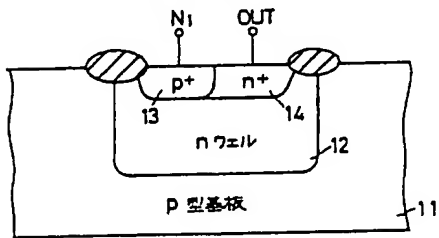
第 6 圖



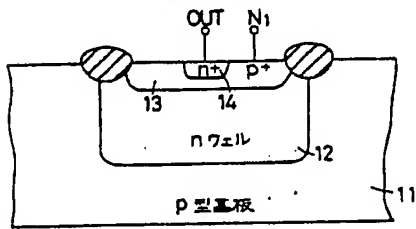
第 7 圖



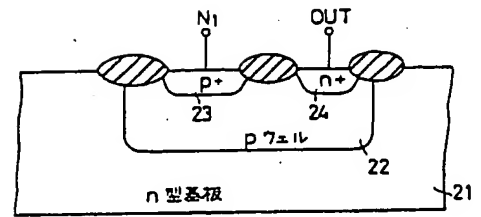
第 8 図



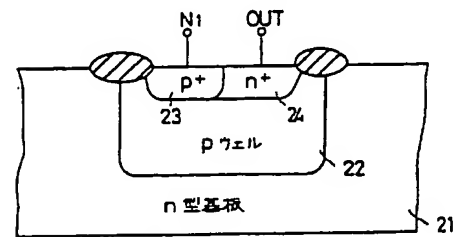
第 9 図



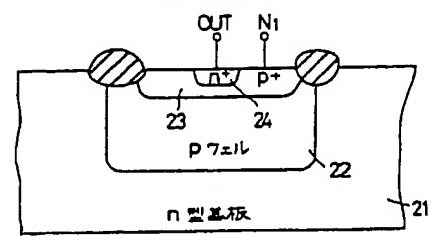
第 10 図



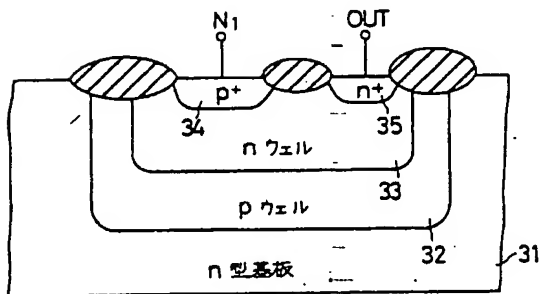
第 11 図



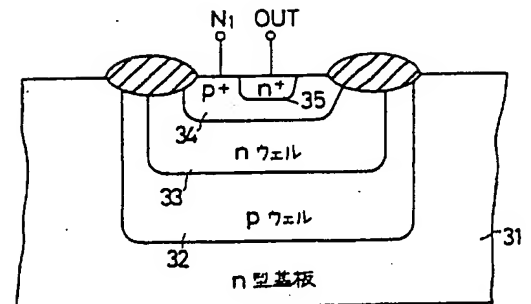
第 12 図



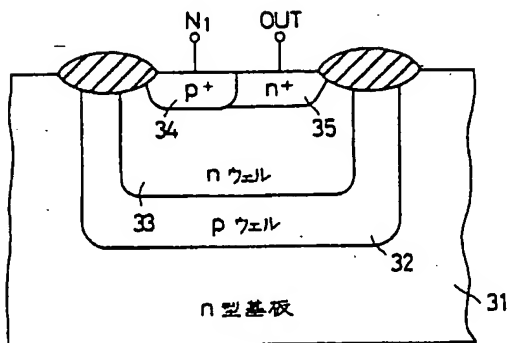
第 13 図



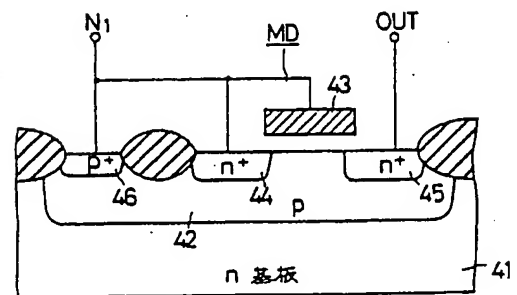
第 14 図



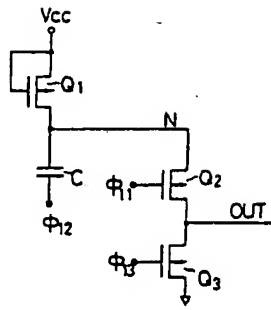
第 16 図



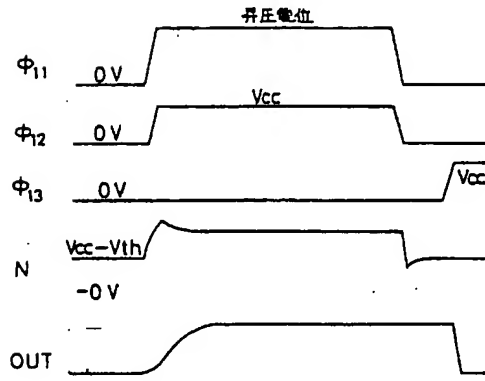
第 15 図



第 17 図



第 18 図



第 19 図